



F04

(19)

(11) Publication number: 11067682

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09214979

(51) Intl. Cl.: H01L 21/265 H01L 21/322 H01L 29/78

(22) Application date: 08.08.97

(30) Priority:

(43) Date of application
publication: 09.03.99(84) Designated contracting
states:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: MURAKAMI TAKASHI
KAWASAKI YOJI

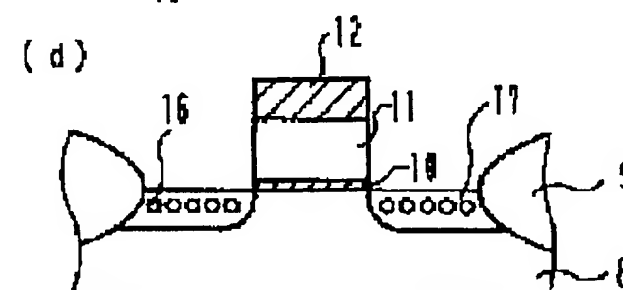
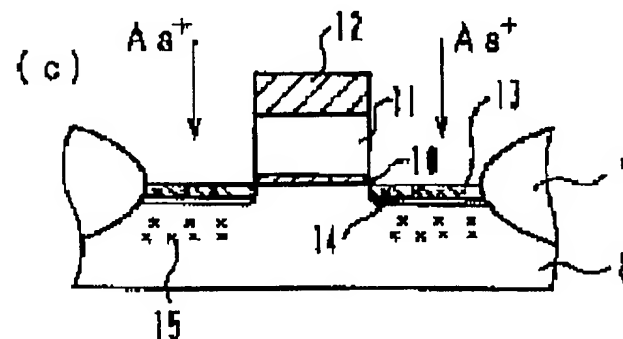
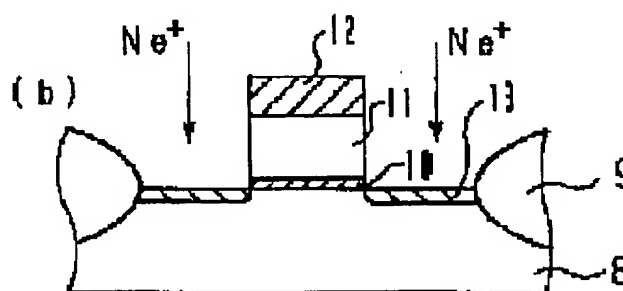
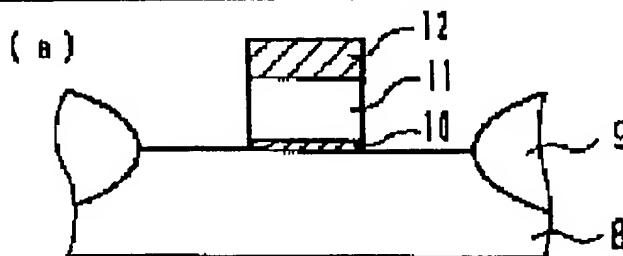
(74) Representative:

(54) MANUFACTURE OF
SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To lower a junction leakage current by preventing the increase of diffusion-layer resistance and contact resistance by implanting impurity ions to a semiconductor substrate, implanting rare gas ions or hydrogen ions into an impurity implantation region in depth lower than the impurity injection region and thermally treating the impurity implantation region.

SOLUTION: Ne is implanted to a semiconductor substrate 8 as rare gas ions, and As is implanted as impurity ions. The Rp of Ne is not made deeper than that of As as implantation energy at that time. The greater part of Ne implanted into the silicon of the substrate 8 slip off from the surface of the substrate 8 during annealing, and traces, from which Ne slips off, and defects resulting from the implantation of Ne are collected during annealing and voids 16 are formed. Since, the hands of bonds are in excess on the internal surfaces of the voids 16 and the voids 16 are chemically active, crystal defects 15 such as the defects resulting from the implantation of As are gettered during the process of the formation of the voids 16. Ne is used as a rare gas, but hydrogen may also be employed in stead of rare gas.



BEST AVAILABLE COPY

特開平11-67682

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁴

識別記号

F I

H 0 1 L 21/265
21/322
29/78H 0 1 L 21/265
21/322
29/78Q
J
3 0 1 F

審査請求 未請求 請求項の数 7 O L (全 8 頁)

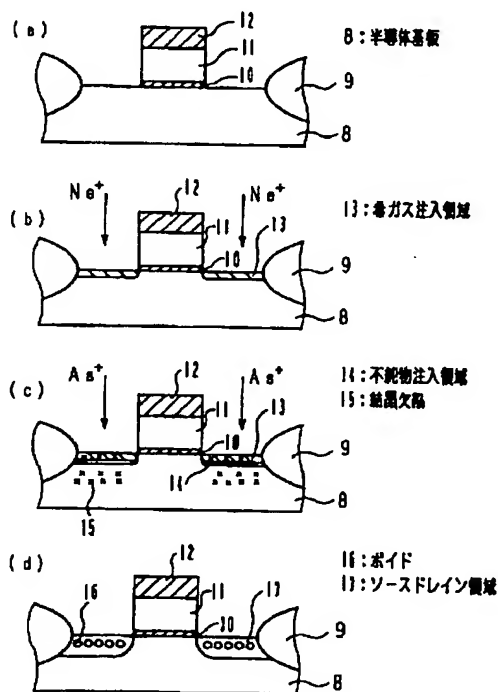
(21) 出願番号 特願平9-214979
(22) 出願日 平成9年(1997) 8月8日(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72) 発明者 村上 隆志
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72) 発明者 川崎 洋司
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(74) 代理人 弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体装置の接合リーク電流低減のためのゲッターリングにおいて、窒素注入によるゲッターリングでは、残留窒素により拡散層抵抗やコンタクト抵抗の上昇を招くものであった。

【解決手段】 拡散層17中に希ガスイオンあるいは水素イオンを注入して熱処理を施すことにより、注入された上記イオンを基板8から放出すると共にボイド16を発生させて、このボイド16により結晶欠陥をゲッターリングする。



【特許請求の範囲】

【請求項1】 半導体基板に、拡散層形成のために不純物イオンを注入する工程と、上記不純物注入領域内で、これを越えない深さに希ガスイオンあるいは水素イオンを注入する工程と、熱処理を施して、上記拡散層中に形成された上記希ガスイオンあるいは水素イオンに起因するボイドにより、上記半導体基板中の結晶欠陥をゲッタリングする工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 希ガスイオンあるいは水素イオンの注入を、拡散層形成のための不純物イオンの注入に先立って行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 拡散層の電極形成のために、半導体基板上に絶縁膜を形成し、この絶縁膜をエッチングして上記拡散層上にコンタクトホールを形成する工程を有し、その後熱処理を施して、上記拡散層中のボイドにより上記半導体基板中の結晶欠陥をゲッタリングすることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 拡散層上にコンタクトホールを形成後、このコンタクトホール底の半導体基板に、第2の拡散層形成のために不純物イオンを注入する工程を有し、その後熱処理を施すことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 拡散層上にコンタクトホールを形成後、このコンタクトホール底の半導体基板に、希ガスイオンあるいは水素イオンを、上記拡散層および第2の拡散層形成時の不純物注入領域を越えない深さに注入する工程を有し、その後熱処理を施すことを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 コンタクトホールが、半導体記憶装置におけるストレージノードコンタクトのために形成するものであることを特徴とする請求項3～5のいずれかに記載の半導体装置の製造方法。

【請求項7】 半導体基板に、LDD構造の低濃度ソースドレイン領域形成のために、不純物イオンを所定の注入角度を有して斜め注入を行う工程と、上記不純物注入領域内でこれを越えない深さに、希ガスイオンあるいは水素イオンを、上記低濃度ソースドレイン領域形成時の注入角度と同程度の注入角度を有して斜め注入を行う工程と、LDD構造の高濃度ソースドレイン領域形成のために不純物イオンを注入する工程と、熱処理を施して、上記低濃度ソースドレイン領域中に形成された上記希ガスイオンあるいは水素イオンに起因するボイドにより、上記半導体基板中の結晶欠陥をゲッタリングする工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置に関し、特に結晶欠陥等のゲッタリング技術に関するもので

ある。

【0002】

【従来の技術】 半導体素子の微細化・高集積化に伴い接合リーク電流の低減が重要になっている。特にDRAMにおいては、接合リーク電流が多いとメモリセルキャパシタから電荷が漏れてリフレッシュ特性が悪くなることが知られている。微細化・高集積化に伴い接合リーク電流が上昇する原因としては、浅い接合を形成しなければならず、接合の位置とイオン注入誘起欠陥とが近くなったこと、また、それらの欠陥がプロセスの低温化により十分に回復しないことなどが挙げられる。従来のリーク電流を低減する方法として、例えば1995Symposium on VLSITechnology Digest of Technical Papers pp19-20の“Highly Reliable 0.15 μ m MOSFETs with Surface Proximity Gettering and Nitrided Oxide Spacer Using Nitrogen Implantation”に記載してある窒素イオン注入を用いた近接ゲッタリング法がある。まず、この方法について簡単に説明する。

【0003】 図6は従来のMOSFETの製造方法を示す断面図である。まず、シリコン単結晶等から成る半導体基板1（以下、基板1と称す）に、素子分離用の分離酸化膜2を形成し、基板1上にゲート酸化膜3を介してゲート電極4を、さらにゲート電極4上にTEOS酸化膜5を形成する（図6（a））。次に、イオン注入法により基板1上から窒素を約 $4 \times 10^{15} \text{ cm}^{-2}$ の注入量で注入する。窒素の注入エネルギーは飛程（Rp）が次工程のひ素のRpとほぼ同じになるように選ぶ。次にひ素を注入し、約750℃でアニールすることにより、注入されたひ素は拡散してソースドレイン領域6を形成する。通常、イオン注入によって基板1はダメージを受け、結晶欠陥を生じるが、窒素注入により生じた欠陥7はアニール中にゲッタリングサイトとして働き、接合逆バイアス時の空乏層側（すなわち、基板1の深さ方向）に存在する微小欠陥をも引き寄せゲッタリングする（図6（b））。

【0004】 ところで、空乏層中に存在する欠陥がリーク電流の原因になるので、空乏層のあまり伸びないソースドレイン領域6側にある欠陥はリークに影響しない。すなわち、窒素注入による欠陥7自体の存在はリーク電流を増すことはなく、ソースドレイン領域6外側の基板1における、リーク電流の原因となる空乏層中の欠陥をゲッタリングする。このように窒素注入を利用して結晶欠陥をゲッタリングして接合リーク電流を低減できる。

【0005】

【発明が解決しようとする課題】 ところで拡散層への窒素注入について、“真空”第38巻第11号（1995）pp962-970に記載されているが、その中で次のような問題点が述べられている。ゲッタリング効果を得るためには $4 \times 10^{15} \text{ cm}^{-2}$ 以上程度の高濃度注入が必要であるが、アニール後も窒素は基板1内に残留する

ため、ソースドレイン領域6における拡散抵抗を高くする。また、ソースドレイン領域6からコンタクトをとる場合もコンタクト抵抗が高くなる。

【0006】この発明は、上記のような問題点を解消するためになされたもので、拡散層抵抗やコンタクト抵抗の上昇を防止して、接合リーク電流の低減を図り、微細化、高速化に適した半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明の請求項1に係る半導体装置の製造方法は、半導体基板に、拡散層形成のために不純物イオンを注入する工程と、上記不純物注入領域内で、これを越えない深さに希ガスイオンあるいは水素イオンを注入する工程と、熱処理を施して、上記拡散層中に形成された上記希ガスイオンあるいは水素イオンに起因するボイドにより、上記半導体基板中の結晶欠陥をゲッターリングする工程とを有するものである。

【0008】この発明の請求項2に係る半導体装置の製造方法は、希ガスイオンあるいは水素イオンの注入を、拡散層形成のための不純物イオンの注入に先立って行うものである。

【0009】この発明の請求項3に係る半導体装置の製造方法は、拡散層の電極形成のために、半導体基板上に絶縁膜を形成し、この絶縁膜をエッチングして上記拡散層上にコンタクトホールを形成する工程を有し、その後熱処理を施して、上記拡散層中のボイドにより上記半導体基板中の結晶欠陥をゲッターリングするものである。

【0010】この発明の請求項4に係る半導体装置の製造方法は、拡散層上にコンタクトホールを形成後、このコンタクトホール底の半導体基板に、第2の拡散層形成のために不純物イオンを注入する工程を有し、その後熱処理を施すものである。

【0011】この発明の請求項5に係る半導体装置の製造方法は、拡散層上にコンタクトホールを形成後、このコンタクトホール底の半導体基板に、希ガスイオンあるいは水素イオンを、上記拡散層および第2の拡散層形成時の不純物注入領域を越えない深さに注入する工程を有し、その後熱処理を施すものである。

【0012】この発明の請求項6に係る半導体装置の製造方法は、コンタクトホールが、半導体記憶装置におけるストレージノードコンタクトのために形成するものである。

【0013】この発明の請求項7に係る半導体装置の製造方法は、半導体基板に、LDD構造の低濃度ソースドレイン領域形成のために、不純物イオンを所定の注入角度を有して斜め注入を行う工程と、上記不純物注入領域内でこれを越えない深さに、希ガスイオンあるいは水素イオンを、上記低濃度ソースドレイン領域形成時の注入角度と同程度の注入角度を有して斜め注入を行う工程と、LDD構造の高濃度ソースドレイン領域形成のため

に不純物イオンを注入する工程と、熱処理を施して、上記低濃度ソースドレイン領域中に形成された上記希ガスイオンあるいは水素イオンに起因するボイドにより、上記半導体基板中の結晶欠陥をゲッターリングする工程とを有するものである。

【0014】

【発明の実施の形態】

実施の形態1. 以下、この発明の実施の形態1を図について説明する。図1および図2はこの発明の実施の形態1によるMOSFETの製造方法を示す断面図である。まず、シリコン単結晶等から成る半導体基板8（以下、基板8と称す）に、素子分離用の分離酸化膜9を形成し、基板8上にゲート酸化膜10を介してゲート電極11を、さらにゲート電極11上にTEOS酸化膜12を形成する。TEOS酸化膜12は後工程におけるイオン注入の際、ゲート酸化膜10にイオンがはいりこまないようにするためのマスクであり、ゲート電極11が十分厚ければ必ずしも必要ではない（図1（a））。

【0015】次に、希ガスイオンとして、ネオン（Ne）を注入エネルギー；約10KeV、注入量；約5E15cm⁻²で注入する。図において13はソースドレインにおける希ガス注入領域としてのNe注入領域である（図1（b））。次に、不純物イオンとしてのひ素を注入エネルギー；約50KeV、注入量；約4E15cm⁻²で注入する。図において14はソースドレインにおける不純物注入領域となるひ素注入領域である。注入エネルギーとしては、NeのRpがひ素のRpよりも深くないようにする。本例ではNeの10KeV注入時のRpは0.021μm、ひ素の50KeV注入時のRpは0.032μmであり、上記条件を満たしている。イオン注入による基板8の結晶欠陥15はイオンの注入分布付近だけでなくさらに深い位置にも形成される（図1（c））。

【0016】次に、熱処理として、800℃、30分のアニールを行うと、希ガスであるNeはシリコン中の固溶度が低いので基板8シリコン中に注入されたNeの大部分はアニール中に基板8表面から抜け出る。Neの抜け出たあとやNe注入起因の欠陥がアニール中に集まってボイド16を形成する。ボイド16の内面は結合の手が余っており化学的に活性なので、この過程でひ素注入起因欠陥等の結晶欠陥15をゲッターリングする。またこのアニールにより不純物注入領域14は拡散層としてのソースドレイン領域17に変成される。ところで、接合における空乏層中に存在する結晶欠陥15は接合リーク電流の原因になるが、逆バイアス時に空乏層のあまり伸びないソースドレイン領域17内にある結晶欠陥15は、接合リーク電流に影響しない。すなわちボイド16はNeのRp付近に形成されソースドレイン領域17内にあるので、ボイド16自体がリーク電流を増すことはない。そして、接合の空乏層領域にある欠陥をゲッター

ングしてリーク電流を低減する効果がある。また、Neはアニール後には基板8中にほとんど残留しないので、ソースドレイン領域17における拡散抵抗やコンタクト抵抗を上昇させることはない(図1(d))。

【0017】次に、コンタクト部における結晶欠陥のゲッターリングについて図2に基づいて以下に示す。上記図1で示した一連の工程でソースドレイン領域17を形成した後、基板8上の全面に絶縁膜としての層間膜18を形成し、この層間膜18を選択的にエッチングしてソースドレイン領域17上にコンタクトホール19を形成する。このコンタクトホール19形成のエッチングの際に、オーバーエッチ等によりコンタクトホール19の底にダメージが入り基板8内に結晶欠陥20が誘起される(図2(a))。

【0018】次に、基板8上からコンタクトホール19の底にリンイオンを注入エネルギー；40KeV、注入量； $1E14\text{ cm}^{-2}$ で注入し、この後熱処理としてアニールする。このアニールの過程でリン注入やコンタクトホール19エッチングに起因する結晶欠陥20がソースドレイン領域17内のボイド16にゲッターリングされる。21はコンタクト部に形成された第2の拡散層としてのリン注入拡散層である(図2(b))。次にコンタクトホール19内を電極となるタングステン(W)22等で埋め込む(図2(c))。実際のデバイスでは、さらにアルミ配線工程等があるが、本発明とは関連がないので、説明は省略した。

【0019】尚、上記実施の形態ではソースドレイン領域17のNe注入とひ素注入の後にアニールを行ったが、Ne注入後にアニールを行ってからひ素を注入し、さらにゲッターリングのためのアニールを行っても良い。この場合、Ne注入後のアニールでNeが基板8から抜けてボイド16が形成される。既にボイド16が形成された状態でひ素注入を行っても、その後のアニールにより結晶欠陥15はボイド16にゲッターリングされる。

【0020】また、上記実施の形態ではソースドレイン領域17にNe注入を行ってからひ素注入を行ったが、ひ素注入をNe注入よりも先に行っても良い。但し、浅い接合を形成する場合は、上記のように先にNeを注入した方が有利である。なぜなら、Neの高ドーズ注入によりソースドレイン領域17はアモルファス化されて、ひ素注入時のチャネリングを抑制するからである。本実施の形態はNMOSを用いて説明しているが、PMOSでボロンによりソースドレイン領域17を形成する場合はチャネリングの影響が大きいため、Neをボロンより先に注入する方が望ましい。

【0021】また、コンタクトホール19形成後に形成される、コンタクト抵抗低減のためのリン注入拡散層21は必ずしも必要なものではないが、リン注入を省略した場合でも、コンタクトホール19形成後にアニールすることにより、コンタクトホール19エッチングに起

因する結晶欠陥20がボイド16にゲッターリングされる。

【0022】また、上記形態例のコンタクト部への適用においては、ソースドレイン領域17形成のための注入時に形成したボイド16を利用したが、コンタクトホール19の底部にNeイオンを注入して所望の深さにボイドを形成し、コンタクト部でのゲッターリング効果をさらに増すことも可能である。このときのNe注入のRpも、リン注入拡散層21形成のためのリン注入のRpよりも深くならないようにする。リン注入拡散層21が浅く形成されてソースドレイン領域17内に含まれる様な場合は、ソースドレイン領域17の接合を越えない様にNe注入を行う。

【0023】実施の形態2。次にこの発明をDRAMのメモリセルに適用した例を図3に基づいて以下に示す。ここでは、DRAMのリフレッシュ特性に特に影響を与えるストレージノードのコンタクト部における結晶欠陥のゲッターリングについて説明する。図において、8~12、17~19、および21は上記実施の形態1と同じもの、17aはソースドレイン接合、21aはコンタクト接合、23はゲート電極11のサイドウォール、24はビットライン、25はストレージノード、26は絶縁膜としての第2の層間膜、27はストレージノード25を接続するためのコンタクトホール、28はリン注入拡散層21中に発生したボイドである。

【0024】まず公知の方法により、基板8にゲート電極構造10~12、23とソースドレイン領域17とから成るメモリトランジスタを形成した後、層間膜18を形成し、この層間膜18にコンタクトホール19を開口して、コンタクトホール19を介してソースドレイン領域17の一方に接続するビットライン24を形成する。次に、第2の層間膜26を形成した後、第2の層間膜26およびその下の層間膜18を選択的にエッチングしてソースドレイン領域17の他方の上にコンタクトホール27を開口する。

【0025】次に、基板8上からコンタクトホール27底に、Neイオンを注入エネルギー；10KeV~20KeV、注入量； $5E15\text{ cm}^{-2}$ で注入する。Ne注入のRpは注入エネルギーが10KeV時で $0.021\mu\text{m}$ 、20KeV時で $0.043\mu\text{m}$ である。次に、リンイオンを注入エネルギー；40KeV、注入量； $1E14\text{ cm}^{-2}$ で注入し、その後熱処理として800℃で30分程度アニールする。リン注入のRpは $0.049\mu\text{m}$ であり、Neイオンの分布がリンイオンに比べて浅く形成されるように、注入エネルギーが設定されるものである。このアニール工程によって、Neの大部分は基板8表面から抜け出し、Neの抜け出たあとやNe注入起因の欠陥が集まってボイド28を形成し、さらにこのボイド28が結晶欠陥をゲッターリングする。次に、ポリシリコンから成るストレージノード25を、コンタクトホー

ル27を介してソースドレイン領域17と接続するように形成する。この後メモリセルキャパシタの形成を行うが、説明を省略する。

【0026】一般的にストレージノード25のコンタクトホール27エッチング時にはオーバーエッチ等により基板8に結晶欠陥が生じ、ソースドレイン接合17aあるいはコンタクト接合21aのリーク電流の一因となり、ストレージノード25から電荷が抜ける原因となる。その結果、DRAMのリフレッシュ特性が悪化する。しかし、本実施の形態では、コンタクトホール27 10底部にNe注入によるボイド28を形成し、ゲッターリングサイトとして利用しているので、それらの結晶欠陥をゲッターリングしてリーク電流を低減できる。また、ボイド28は接合17a、21aよりも浅く形成しているのでボイド28の存在自体はリークに悪影響を及ぼさない。また、Neはアニール中に基板8から大部分抜け出るのでストレージノード25とのコンタクト抵抗やソースドレイン抵抗が高くなることもない。

【0027】なお、ここではNe注入後にリン注入を行う例を示したが、このリン注入は必ずしも必要ではなく、省略することも可能である。リン注入を省略する場合は、コンタクト接合21aはソースドレイン接合17aと一致する。あるいは、ストレージノード25のポリシリコン中のリンが基板8へ固相拡散して接合を形成する場合もある。

【0028】実施の形態3。上記実施の形態2ではストレージノード25のコンタクトホール27の底にのみボイド28を形成し、ゲッターリングサイトとして利用したが、本実施の形態ではソースドレイン領域17形成の際に形成したボイド28aを利用して、ストレージノード 3025のコンタクト部付近の結晶欠陥をゲッターリングする。図4はこの発明の実施の形態3によるDRAMのメモリセルの構造および製造方法を示す断面図である。図4において図3と同一番号は同一部分または相当部分を示す。

【0029】この実施の形態では、上記実施の形態1で示したフローと同様に、ソースドレイン領域17形成工程でNeを注入し、ボイド28aを形成する。従って、ボイド28aはソースドレイン接合17aに沿って形成される。このボイド28aはソースドレイン接合17a 40よりも浅く、また、コンタクト接合21aよりも浅くなるように注入エネルギーを設定しているので(例えばNe:10KeV、ソースドレインAs:50KeV、コンタクトP:40KeV)リーク電流に悪影響を及ぼさず、ゲッターリングにより周囲の結晶欠陥を引き寄せてリーク電流を低減させる。また、Neは基板8中にほとんど残留しないのでコンタクト抵抗が高くなることもない。尚、ボイド28a形成のためのアニールはソースドレイン領域17形成のための注入直後に行う必要はなく、後の工程例えばストレージノード25コンタクトホ

ール底のリン注入後でも良い。

【0030】実施の形態4。次に、この発明の実施の形態4によるMOSFETの製造方法を図5に基づいて以下に示す。この実施の形態では、この発明をソースドレイン領域がゲート電極とオーバーラップして形成されたMOSFETに適用する例を説明する。基板8に、ゲート酸化膜10を介してゲート電極11を形成した後、まず、基板8上からNeイオンを45°の注入角度で斜めから5E15cm⁻²の注入量で注入する。次にAsイオンを注入エネルギー:40KeVで45°の注入角度で斜めから3E12cm⁻²の注入量で注入してゲート電極11にオーバーラップする低濃度ソースドレイン領域29を形成する。この時も後工程の熱処理後にNe注入に起因して形成されるボイド30が低濃度ソースドレイン領域29の中に含まれるように、Neの注入エネルギーを選んでいる(図5(a))。

【0031】次にサイドウォール23を形成した後(図5(b))、基板8上からAsイオンを0°の注入角度で注入エネルギー:50KeV、注入量:4E15cm⁻²で注入し、その後熱処理としてアニールして高濃度ソースドレイン領域31を形成する。このアニール中にボイド30が形成されるわけであるが、本実施の形態ではNeを45°の斜め注入しているので、低濃度ソースドレイン領域29のチャネル側端部にもボイド30が形成されるという特徴がある。このボイド30はチャネルの結晶欠陥をゲッターリングし、チャネルの結晶性を向上させて、チャネルコンダクタンスを上昇させるという効果がある。また、ボイド30は低濃度ソースドレイン領域29に沿って形成されており、チャネル側端部のみにあるわけではない。ソースドレイン接合に平行に形成されたボイド30は、低濃度および高濃度のソースドレイン領域29、31形成時の結晶欠陥をゲッターリングすることが可能である。

【0032】次に、層間膜18を形成して、選択的にエッチングすることにより、ソースドレイン領域29、31上にコンタクトホール19を形成する。この場合も、ボイド30により、基板8のコンタクト部付近の結晶欠陥をゲッターリングしてコンタクト接合のリーク電流を低減することが可能である。また、Neは基板8中にほとんど残留しないので、ソースドレイン領域29、31の拡散抵抗やコンタクト抵抗は上昇しない(図5(d))。

【0033】尚、上記実施の形態1~4はすべてNMO Sを例にとって説明したが、PMOSについても同様の効果が期待できる。

【0034】また、上記実施の形態ではNeを用いたが、他の希ガスイオン、すなわち、ヘリウム(He)、アルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)、ラドン(Rn)を用いても良い。また、希ガスではないが水素(H)でも良い。これらの元素はシリコン

への固溶度が低く、注入後のアニールによりボイドを形成する。但し、ボイド形成に必要な注入量はイオン種により異なり、例えば水素では $1 \times 10^{16} \text{ cm}^{-2}$ 以上必要である。また、注入エネルギーはRpが接合よりも浅くなるように選ぶ。

【0035】また、上記実施の形態はすべてイオン注入により希ガスイオンを注入したが、プラズマドーピング、イオンシャワードーピングを用いても良い。

【0036】

【発明の効果】以上のようにこの発明によると、拡散層中に希ガスイオンあるいは水素イオンを注入して熱処理を施すことにより、結晶欠陥をゲッタリングするため、拡散層の抵抗および電極とのコンタクト抵抗を上昇させることなく接合のリーク電流を低減でき、微細化、高速化に適した信頼性の高い半導体装置が得られる。

【0037】またこの発明によると、希ガスイオンあるいは水素イオンの注入を、拡散層形成のための不純物イオンの注入に先立って行うため、拡散層形成時のチャネリングを抑制でき、半導体装置の信頼性がさらに向上する。

【0038】またこの発明によると、拡散層上にコンタクトホールを形成した後熱処理を施して結晶欠陥をゲッタリングするため、コンタクトホール形成時の結晶欠陥を修復でき拡散層の抵抗および電極とのコンタクト抵抗を上昇させることなく接合のリーク電流を低減でき、微細化、高速化に適した信頼性の高い半導体装置が得られる。

【0039】またこの発明によると、コンタクトホール形成後、第2の拡散層形成のための不純物イオンの注入を行い、その後熱処理を施すため、コンタクトホール形成時および不純物イオン注入時の結晶欠陥を修復でき拡散層の抵抗および電極とのコンタクト抵抗を上昇させることなく接合のリーク電流を低減でき、微細化、高速化に適した信頼性の高い半導体装置が得られる。

【0040】またこの発明によると、コンタクトホール底の半導体基板に、希ガスイオンあるいは水素イオンを注入して熱処理を施すため、コンタクト部における結晶欠陥のゲッタリングが効果的に行え、半導体装置の信頼性がさらに向上する。

【0041】またこの発明によると、半導体記憶装置におけるストレージノードコンタクト部において、希ガスイオンあるいは水素イオンに起因するボイドにより結晶欠陥をゲッタリングするため、リフレッシュ特性の向上した信頼性の高い半導体記憶装置が得られる。

【0042】またこの発明によると、LDD構造の低濃度ソースドレイン領域を斜め注入で形成し、この低濃度ソースドレイン領域中に、斜め注入で希ガスイオンあるいは水素イオンを注入して熱処理を施すことにより、結晶欠陥をゲッタリングするため、ソースドレイン領域の拡散抵抗および電極とのコンタクト抵抗を上昇させることなく、接合のリーク電流を低減できるとともに、特にチャネルの結晶性向上によりチャネルコンダクタンスの向上が図れ、微細化、高速化に適した信頼性の高い半導体装置が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体装置の製造方法を示す断面図である。

【図2】 この発明の実施の形態1による半導体装置の製造方法を示す断面図である。

【図3】 この発明の実施の形態2による半導体装置の構造および製造方法を示す断面図である。

【図4】 この発明の実施の形態3による半導体装置の構造および製造方法を示す断面図である。

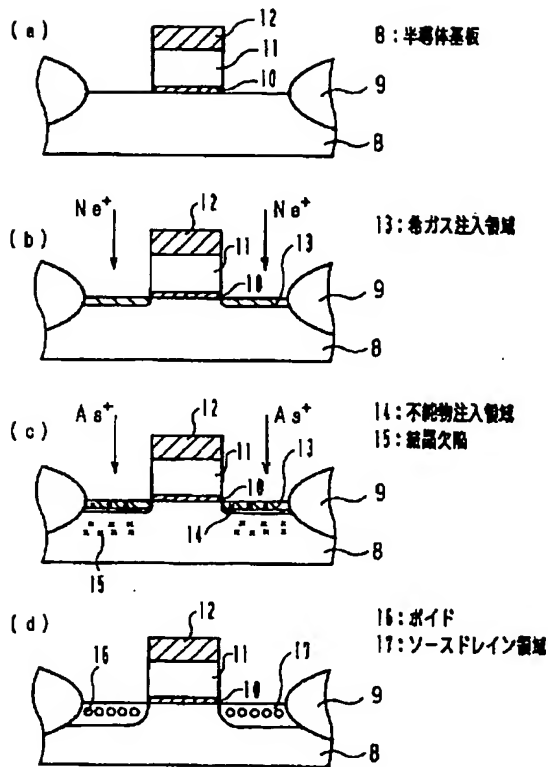
【図5】 この発明の実施の形態4による半導体装置の製造方法を示す断面図である。

【図6】 従来の半導体装置の製造方法を示す断面図である。

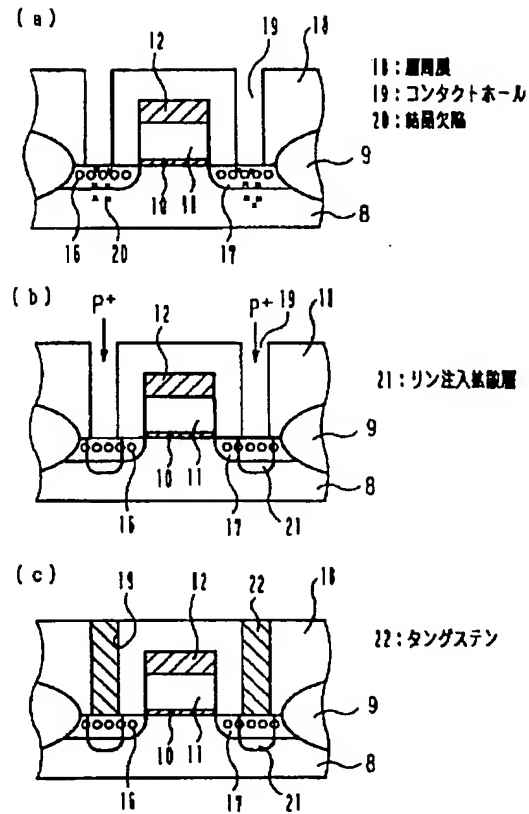
【符号の説明】

8 半導体基板、13 希ガス注入領域、14 不純物注入領域としてのヒ素注入領域、15 結晶欠陥、16 ボイド、17 拡散層としてのソースドレイン領域、18 絶縁膜としての層間膜、19 コンタクトホール、20 結晶欠陥、21 第2の拡散層としてのリン注入拡散層、22 電極としてのタングステン、26 絶縁膜としての第2の層間膜、27 コンタクトホール、28、28a ボイド、29 低濃度ソースドレイン領域、30 ボイド。

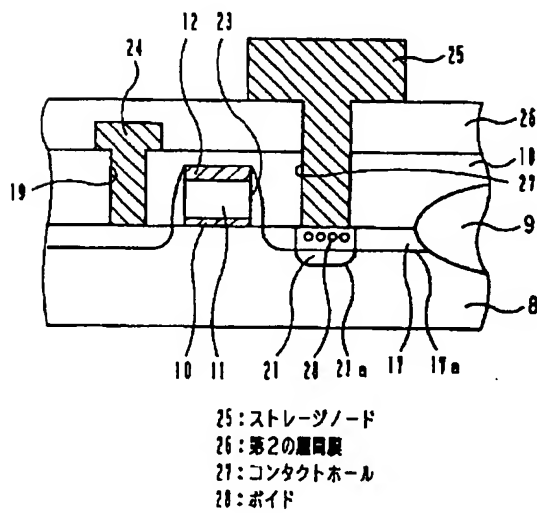
【図1】



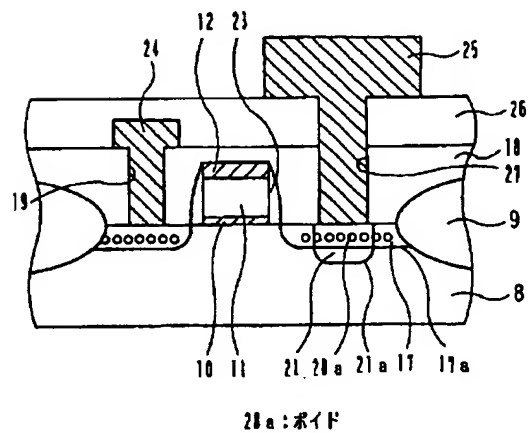
【図2】



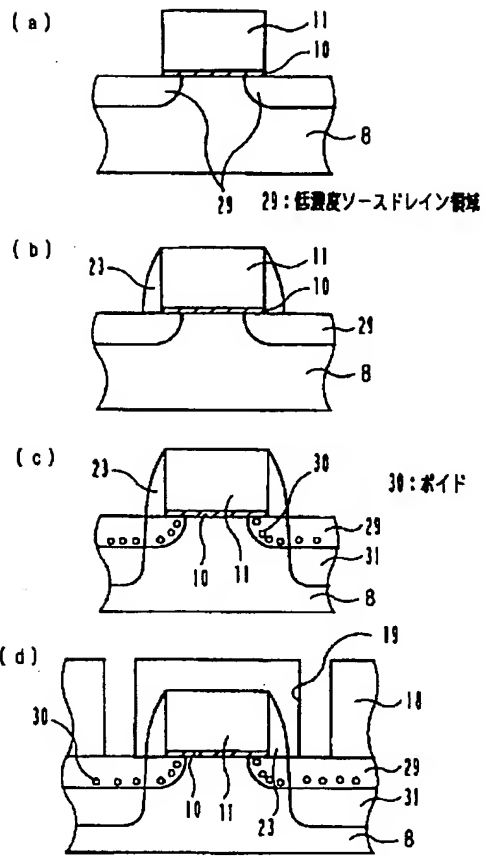
【図3】



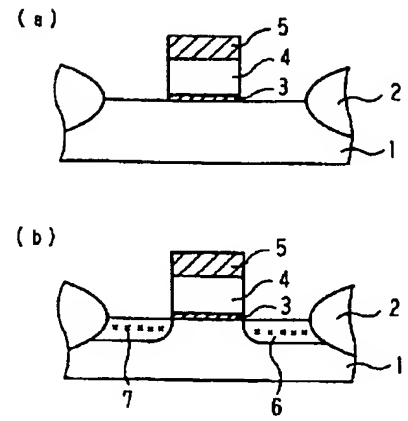
【図4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.